

# 數位時間轉換器 (Time to Digital Converter)

指導教授：盛鐸 博士

學生：何昀鴻、邱瀚洋、蔡宇翔

輔仁大學 電機工程學系 大學部專題生

## 摘要

現今製程越趨先進，在產品可攜式以及高密度的架構，原先類比的鎖相迴路PLL (Phase-Locked-Loop)，受限於製程轉換以及全客戶設計，必須重新設計，因此全數位鎖相迴路ADPLL(All Digital Phase-Locked-Loop)可以改善類比的缺點，快速設計以及使用數位控制碼快速鎖定，使得全數位設計為近期主流發展在ADPLL架構之中，TDC(Time to digital converter)佔了十分重要的定位，可以將各種時間訊號轉成數位訊號以便快速處理以及增快鎖定速度。

TDC在ADPLL之中佔了很大部分的耗電量以及面積，因此減少TDC的耗電以及增加TDC的解析度是我們的主要目標，並期望能夠完成獨立設計電路以及後續製作流程。

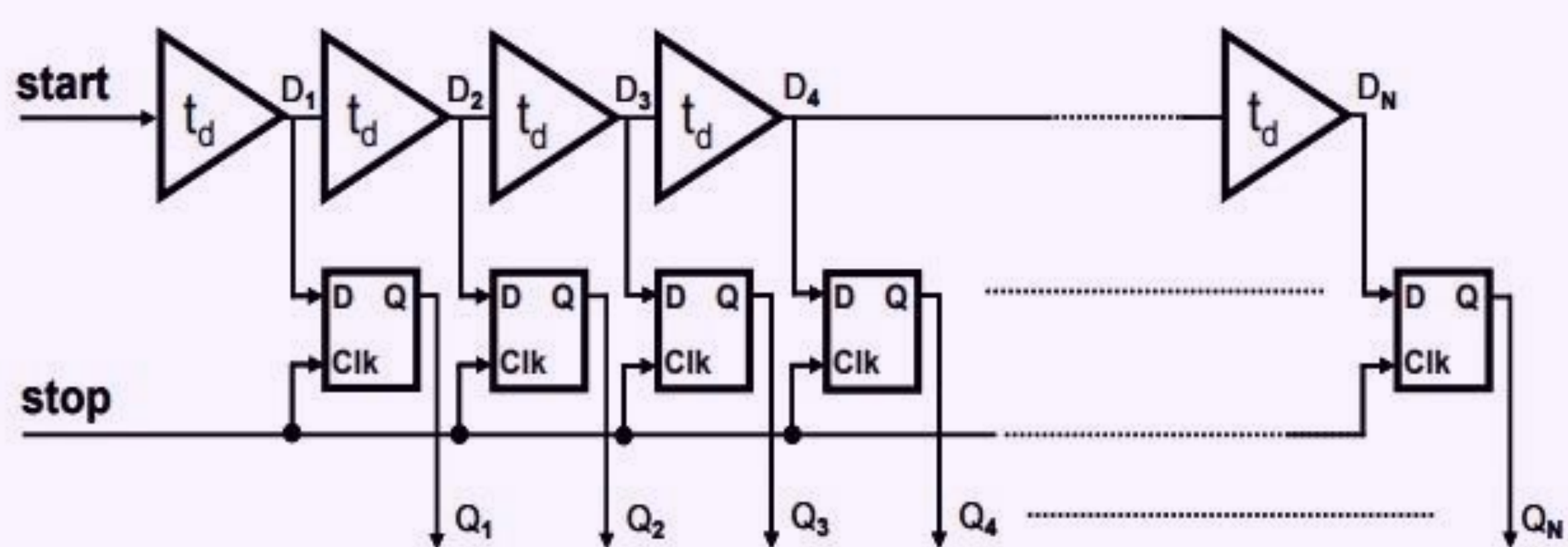
## 實驗目的

TDC常應用於電子儀表或信號處理中以時間表示模擬信號的數位訊號儀器，主要是用於測量極短的時間間隔，例:雷射測距儀、粒子偵測器和邏輯分析儀等都會用到.而此時以高解析度的TDC來量測就會顯得很重要。

本次實驗我們利用hspice製作2種TDC，第一種為Flash TDC第二種為游標尺TDC(Vernier delay line TDC)以下將會對這2種TDC作介紹。

## Flash TDC介紹

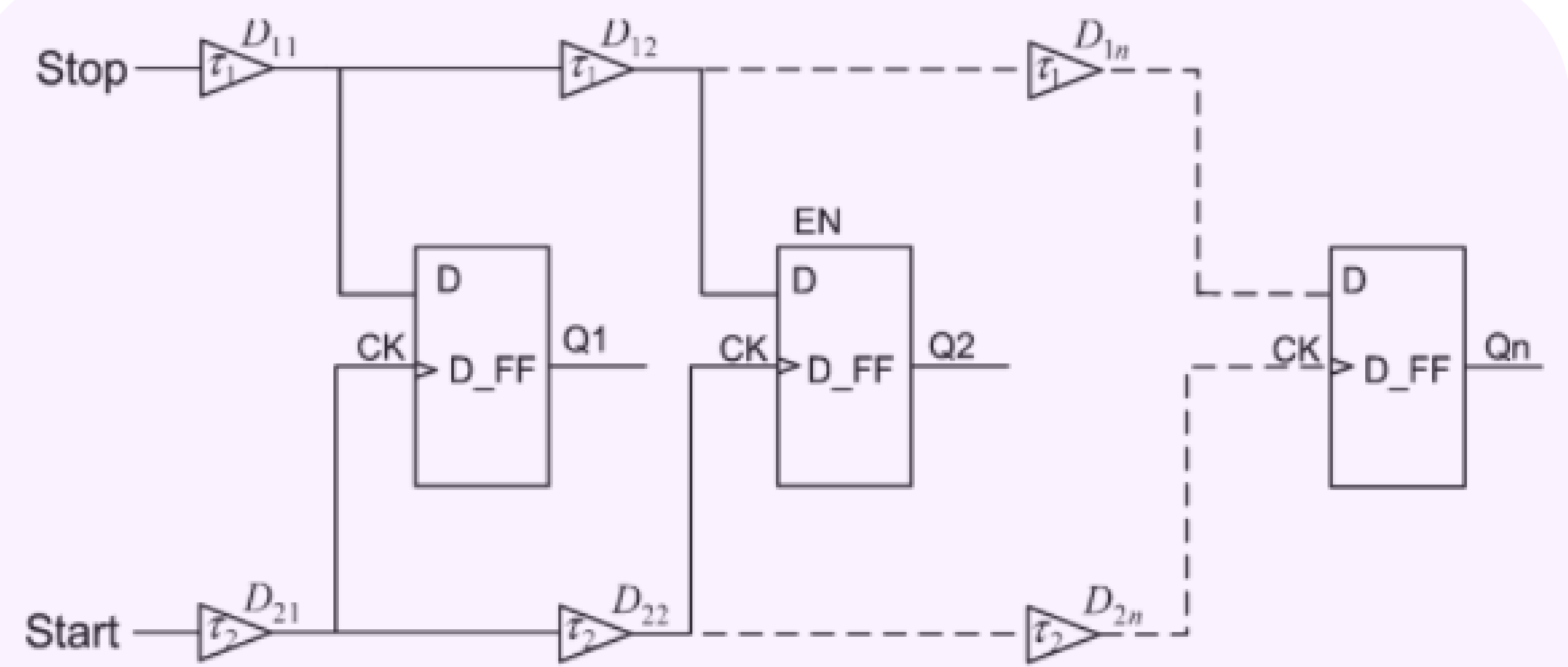
Flash TDC的電路架構只要是由緩衝器與D型正反器所組成(圖一)，由start的時間訊號通過一串緩衝器，而stop的時間訊號並無通過，D型正反器的主要目的是用來標示開始的時間訊號在通過多少個緩衝器(td)之後被結束的時間訊號追上，由此我們可以透過D型正反器所產生出的溫度計碼來取得時間差，這種架構所能達到的最高解析度就是每一級緩衝器的延遲時間。



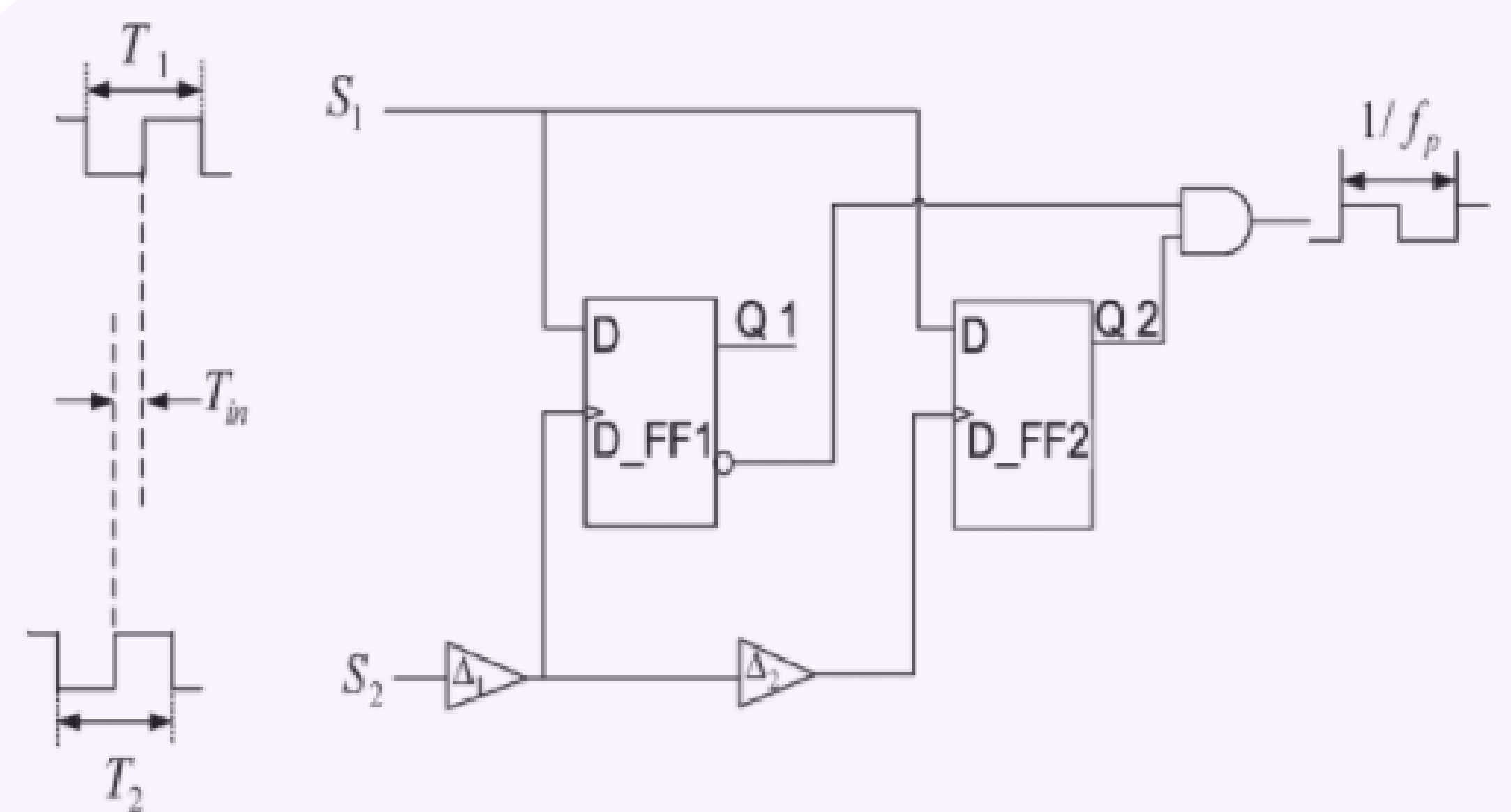
圖一、Flash TDC電路架構

## 游標尺TDC介紹

為了達到更高的時間解析度，就提出了游標尺TDC的架構如圖二，VDL是用上下2條延遲線的時間差( $\tau_1 - \tau_2$ )來達到更高的解析度(圖三)，這種方法可以達到任意我們所希望的解析度，但是隨著解析度的增加，晶片的面積和功耗也會以線性成長。



圖二、游標尺TDC電路架構



圖三、游標尺TDC工作原理

由圖三得知經由正反器輸出後結果

$Q1=1 \ \& \ Q2=1, \ T_{in} < \Delta 1$

$Q1=0 \ \& \ Q2=1, \ \Delta 1 < T_{in} < \Delta 1 + \Delta 2$

$Q1=0 \ \& \ Q2=0, \ T_{in} > \Delta 1 + \Delta 2$

AND閘輸出位於 $\Delta 1 < T_{in} < \Delta 1 + \Delta 2$ 區間，反應於T2的頻率約大於等於 $\Delta 2 / T_1$ ，而 $f_p = \Delta 2 / T_1 * f_2 = \Delta 2 * f_1 * f_2$

TDC使用此精準校對後，能令S1與S2越逼近彼此震盪頻率

## 結論

未來我們希望能將我們的電路以layout實現並且去比較pre-sim和post-sim的結果確保我們的電路下線做成晶片的時候不會發生問題，這一次實驗我們從大三下只有一點點基礎知識的情況下，一點一滴的從讀paper開始，剛開始我們光是讀paper就花了至少2個禮拜的時間，到現在我們可以自己找出所需要的paper，並且加以改進我們的電路，雖然常常會遇到挫折，不過任何事情不可能都是一帆風順的，但是只要突破了瓶頸就可以帶給我們極大的信心繼續做下去。



2017 輔仁大學電機工程學系  
大學部專題成果展

